

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—108892

⑤ Int. Cl.³
G 09 G 3/34
3/00

識別記号

庁内整理番号
7250—5 C
6453—5 C

⑬ 公開 昭和57年(1982)7月7日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 記憶性を有する電気光学素子の駆動回路

⑯ 出 願 人 日本光学工業株式会社
東京都千代田区丸の内3丁目2
番3号

⑰ 特 願 昭55—182755

⑱ 出 願 昭55(1980)12月25日

⑲ 出 願 人 新技術開発事業団
東京都千代田区永田町二丁目5
番2号

㉑ 発 明 者 助川恒夫
川崎市高津区新作1—7

㉒ 発 明 者 丹羽達雄
川崎市高津区新作77—2

㉓ 代 理 人 弁理士 岡部正夫 外6名

明 細 書

1. 発明の名称

記憶性を有する電気光学素子の駆動回路

2. 特許請求の範囲

1. 記憶性を有する電気光学素子と、

該電気光学素子の表示状態を変化させる
表示信号発生回路とを含む電気光学素子駆
動回路において、

給電停止信号発生手段と、

該給電停止信号発生手段の出力信号に応
動して前記電気光学素子を強制的にある特
定の表示状態にする表示強制規定手段と、

該表示強制規定手段によつて前記電気光
学素子が前記ある特定の表示状態になつて
から電気光学素子駆動回路全体への給電を
停止する給電停止手段とを含むことを特徴
とする記憶性を有する電気光学素子の駆動
回路。

2. 特許請求の範囲第1項に記載の記憶性を
有する電気光学素子の駆動回路において、

前記給電停止手段が計時手段を含み、該
計時手段は前記給電停止手段出力信号によ
つて計時を開始し、電気光学素子が前記あ
る特定の表示状態になるのに十分な時間が
経過すると前記給電停止手段は電気光学素
子の駆動回路全体への給電を停止すること
を特徴とする記憶性を有する電気光学素子
の駆動回路。

3. 特許請求の範囲第1項に記載の記憶性を
有する電気光学素子の駆動回路において、

前記給電停止手段は電気光学素子の表示
状態検出手段を含み、該検出手段は電気光
学素子が前記ある特定の表示状態になつた
ことを検出し、その時前記給電停止手段は
電気光学素子の駆動回路全体への給電を停
止することを特徴とする記憶性を有する電
気光学素子の駆動回路。

4. 特許請求の範囲第3項に記載の記憶性を
有する電気光学素子の駆動回路において、

前記電気光学素子はエレクトロクロミツ

ク表示素子であり、

前記電気光学素子の表示状態検出手段はエレクトロクロミック表示素子の端子間電圧を検出することにより電気光学素子が前記ある特定の表示状態になつたことを検出することを特徴とする記憶性を有する電気光学素子の駆動回路。

3. 発明の詳細な説明

本発明は記憶性を有する電気光学素子の駆動回路に係る。

この電気光学素子としては、例えば、通電により可視光吸収特性が変化するエレクトロクロミック（以下ECと称す。）物質を用いたEC表示素子等がある。

従来のこのような駆動回路、特にEC表示素子駆動回路はある情報に従つてEC表示素子を駆動している時、回路全体への電源の供給を停止すると、EC表示素子はそのメモリー性によつてその時点での情報を表示したままメモリー状態となつてしまう。これは、EC

給電停止信号発生手段と、

該給電停止信号発生手段の出力信号に応動して前記電気光学素子を強制的にある特定の表示状態にする表示強制規定手段と、

該表示強制規定手段によつて前記電気光学素子が前記ある特定の表示状態になつてから電気光学素子駆動回路全体への給電を停止する給電停止手段とを備える。

以下に、添付図面を参照して本発明の実施例について説明する。

第1図は、本発明による記憶性を有する電気光学素子の駆動回路の第1の実施例を示す。

この駆動回路では、記憶性を有する電気光学素子としてEC表示素子1を用いる。更に、この駆動回路は、電源E_V、EC表示信号発生回路2、スイッチS_{W1}、S_{W2}、EC表示強制規定回路3、及びタイマ回路4を備えている。

この駆動回路は、スイッチS_{W1}が閉成している時電源E_Vによつて給電され、EC表示

表示の見栄えが悪く、また表示誤認の可能性があるので問題であつた。

従来、この問題を解決するために、EC表示素子への電源供給停止信号を受けて表示を消去する回路として特開昭52-24494号公報が開示されているが、これは消去回路を含む装置全体の電源供給停止については一切、記載されていない。従つてEC表示の問題は解決しておらず、省電力化という点で問題が残る。

本発明の目的は、このような欠点を解決し、EC表示素子等の記憶性を有する電気光学素子駆動回路全体への給電を停止した時の表示の見栄えが良い電気光学素子の駆動回路を得ることにある。

そのために本発明による記憶性を有する電気光学素子の駆動回路は、

記憶性を有する電気光学素子と、

該電気光学素子の表示状態を変化させる表示信号発生回路と、

信号発生回路2の出力信号によつてEC表示素子1が駆動される。

次に、この駆動回路を停止する時には、スイッチS_{W2}を操作し、EC表示強制規定回路3を作動させる。この回路3の出力信号はEC表示素子1を強制的にある特定の表示状態（例えば消色状態）にするためにEC表示信号発生回路2に加えられる。他方、スイッチS_{W2}の操作によりタイマ回路4が作動する。そしてこれより所定の時間の経過後、タイマ回路4はスイッチS_{W1}をOFFにし、駆動回路全体への給電を断つ。この所定の時間とは回路3が作動してからEC表示装置1を前記の強制的に特定の表示状態にするまでに要する時間であり、このタイマ回路3はその間駆動回路全体が作動できるよう給電の遮断を遅らせる働きをする。

尚、スイッチS_{W1}は、好ましくはトランジスタ等の電子スイッチ及びリレー等である。

第2図は第1図示の実施例の具体的回路例

を示す図である。

トランジスタ T_{r2} は第1図示のスイッチ SW_1 に対応する。抵抗 R 及びコンデンサ C はタイマ回路4を構成する。図中、点線内のインバータ I_1 、 I_2 、ANDゲート $A1$ 、及びORゲート $O1$ は EC 表示強制規定回路3を構成する。

EC 表示駆動時には、スイッチ SW_3 は閉成している。このため節点 b の電位が高くなっているので、トランジスタ T_{r1} は ON となり、トランジスタ T_{r2} も ON となる。従つて、このトランジスタ T_{r2} を介して電源 EV から駆動回路全体に給電される。また、スイッチ SW_3 の閉成によつて抵抗 r_2 を介してトランジスタ T_{r3} が ON にされる。従つて、インバータ I_1 、 I_2 はそれぞれ Low 出力、 $High$ 出力となり、それらの出力がORゲート $O1$ 、及びANDゲート $A1$ の入力端子に印加される。ANDゲート $A1$ 及びORゲート $O1$ は、他方の入力端子に EC 表示信号発生回路2の着色信号

S_F 及び消色信号 S_E を入力している。この状態においてANDゲート $A1$ 及びORゲート $O1$ はそれぞれ着色信号 S_F 及び消色信号 S_E 同一レベルとなつた出力を発生する。即ち、 EC 表示信号発生回路2が着色信号 S_F を発生した場合には、その着色信号 S_F に従つてANDゲート $A1$ は Hi 出力をトランジスタ T_{r1} に印加し、トランジスタ T_{r1} を ON にする。またその Hi 出力は、インバータ I_3 によつて反転して、トランジスタ T_{r2} に印加し、トランジスタ T_{r2} を ON にする。従つて基準電圧 $+V_{ref}$ によつてトランジスタ T_{r1} 、 T_{r2} を介して EC 表示素子1がバイアスされ、 EC 表示素子1が着色する。次に、 EC 表示信号発生回路2が消色信号 S_E を発生した場合には、その消色信号 S_E に従つてORゲート $O1$ が Hi 出力をトランジスタ T_{r3} に印加し、トランジスタ T_{r3} を ON にする。またこの Hi 出力はインバータ I_4 によつて Lo に反転されてトランジスタ T_{r4} に印加され、トラ

ンジスタ T_{r4} は ON になる。従つて、基準電圧 $+V_{ref}$ によつてトランジスタ T_{r3} 、 T_{r4} を介して EC 表示素子1が逆バイアスされて、 EC 表示素子1が消色する。このようにして EC 表示素子1の表示が駆動される。

次に、この駆動回路を停止する時には、スイッチ SW_3 を OFF にする。すると、節点 a の電位が低くなるのでトランジスタ T_{r3} は OFF となり、インバータ I_1 、 I_2 の出力はそれぞれ $High$ 、 Low となり、それらの出力がANDゲート $A1$ 及びORゲート $O1$ に印加される。従つてANDゲート $A1$ 及びORゲート $O1$ は回路2の出力信号 S_F 、 S_E とは無関係にそれぞれ Low 出力、 $High$ 出力となるので、トランジスタ T_{r1} 、 T_{r2} は OFF となり、トランジスタ T_{r3} 、 T_{r4} は ON となり、このトランジスタ T_{r3} 、 T_{r4} を介して EC 表示素子1に基準電圧 $+V_{ref}$ が印加され、 EC 表示素子1が強制的に消色される。

他方、スイッチ SW_3 が OFF となつたこと

により、コンデンサ C に充電されていた電荷が抵抗 R を介して所定の時定数で放電され、節点 b の電位がしだいに低下する。そして所定時間が経過して前記 EC 表示素子1の消色が完了した後、トランジスタ T_{r1} 及び T_{r2} は OFF となり電源 EV から駆動回路全体への給電が絶たれる。

第3図は、本発明による記憶性を有する電気光学素子の駆動回路の第2の実施例を示すブロック図である。

この駆動回路は、 EC 表示強制規定回路3によつて EC 表示素子が強制的にある特定の表示状態になつたのを検出する検出回路5を更に備える。

EC 表示駆動時には、スイッチ SW_1 が閉成されており、スイッチ SW_1 を介して駆動装置全体に給電されている。この時 EC 表示信号発生回路2に従つて EC 表示素子1の表示が駆動される。

次に、この駆動回路を停止する時には、ス

スイッチ SW_3 を操作して、 EC 表示強制規定回路 3 を作動させ、 EC 表示素子 1 の表示を強制的にある特定の状態 (例えば消色) にする。そして EC 表示素子がその状態になると、そのことを検出回路 5 が検出し、スイッチ SW_1 を OFF にし、駆動回路全体への給電が断たれる。

第 4 図は、第 3 図示の実施例の具体的回路例を示す。

トランジスタ T_{r2} は第 3 図示のスイッチ SW_1 に対応する。インバータ I_3 、 AND ゲート A_1 、及び OR ゲート O_1 は EC 表示強制規定回路 3 を構成する。コンパレータ C_1 は検出回路 5 に対応する。

この駆動回路においても第 2 図の実施例と同様、ある特定の設定状態を消色状態として説明してある。

EC 表示素子駆動中はスイッチ SW_3 を閉じておく。これにより、電源 E_V からスイッチ SW_3 及び抵抗 r_1 を介して B_i 電位が OR ゲー

SW_3 を OFF にする。これによつて節点 a の電位が L_0 となり、この L_0 電位が AND ゲート A_1 に印加される。また節点 a の L_0 電位はインバータ I_3 によつて B_i 電位に反転されて、その B_i 電位が OR ゲート O_1 に印加される。従つて EC 表示信号発生回路 2 の消色信号 S_F 及び消色信号 S_E とは無関係に AND ゲート A_1 は L_0 出力となり、 OR ゲート O_1 は B_i 出力となる。 AND ゲート A_1 の L_0 出力はトランジスタ T_{r1} に印加され、トランジスタ T_{r1} を OFF にする。またこの AND ゲート A_1 の L_0 出力はインバータ I_3 によつて B_i 電位に反転され、その B_i 電位がトランジスタ T_{r2} に印加され、トランジスタ T_{r2} は OFF になる。一方 OR ゲート O_1 の B_i 出力はトランジスタ T_{r3} を ON にする。また OR ゲート O_1 の B_i 出力はインバータ I_3 によつて L_0 電位に反転されて、この L_0 電位がトランジスタ T_{r4} に印加され、トランジスタ T_{r4} が ON になる。従つて基準電圧

V_{ref} の一方の入力端子に印加される。従つて OR ゲート O_2 の他方の入力端子の電位とは無関係に OR ゲート O_2 の出力は $High$ となり、トランジスタ T_{r1} が ON し、トランジスタ T_{r2} も ON となる。このようにして電源 E_V からトランジスタ T_{r2} を介して回路全体に給電される。一方、スイッチ SW_3 を閉成したことにより電源 E_V からスイッチ SW_3 を介して B_i 電位が AND ゲート A_1 の一方の入力端子に印加され、またその B_i 電位がインバータ I_3 によつて L_0 に反転されて OR ゲート O_1 の一方の入力端子に印加される。それで、 AND ゲート A_1 及び OR ゲート O_1 の出力は、それぞれの他方の入力端子に印加される信号、即ち EC 表示信号発生回路 2 の消色信号 S_F 及び消色信号 S_E と同一レベルの出力となる。 EC 表示素子 1 の着色及び消色はこれらの信号 S_F 及び S_E に従つて、第 2 図示の回路と同様にして行なわれる。

次に駆動回路を停止する時には、スイッチ

V_{ref} からトランジスタ T_{r3} 、 T_{r4} を介して EC 表示素子 1 に逆バイアス電圧が印加され、 EC 表示素子 1 は強制的に消色される。しかしながらこの逆バイアス印加の初期においてトランジスタ T_{r3} に大電流が流れるため、このトランジスタ T_{r3} のコレクターエミッタ間のインピーダンスにより電圧降下が生じ、そのため節点 d の電位は基準電圧 V_{ref} に比べて低い電位となる。そして EC 表示素子 1 の消色が完了した時にはその大電流が流れなくなり、節点 d の電位は高くなる。コンパレータ C_1 はこの節点 d の電位を検出することによつて EC 表示素子の消色完了を検知する。即ち、この検知はコンパレータ C_1 によつて行なわれる。コンパレータ C_1 の反転入力端子には、節点 d の電位が印加され、コンパレータ C_1 の非反転入力端子には、抵抗 r_0 、 r_1 によつて電源電圧 E_V を分圧した基準電圧 V_C が印加されている。この基準電圧 V_C は、消色完了時の節点 d の電位よりもわずかに低い

電圧になるよう設定されている。従つてスイッチ SW_2 を OFF にしてから EC 表示素子 1 が消色を完了する前までは節点 d の電位は基準電位 V_c よりも低くなっている。コンパレータ $C1$ の H_i 出力は OR ゲート $O2$ の一方の入力端子に印加され、 OR ゲート $O2$ は H_i 出力となり、トランジスタ Tr_1 、 Tr_2 は ON になつている。このため電源 EV からトランジスタ Tr_2 を介してこの雑電は維持される。次に、 EC 表示素子 1 の消色が完了すると節点 d の電位は基準電位 V_c よりも高くなるので、コンパレータ $C1$ の出力は L_o に反転し、この L_o 出力が OR ゲート $O2$ の一方の入力端子に印加される。この OR ゲート $O2$ の他方の入力端子には、スイッチ SW_2 が OFF になつたことにより L_o になつた節点 b の電位がすでに印加されている。従つて、 OR ゲート $O2$ の出力が L_o となり、トランジスタ Tr_1 、 Tr_2 が OFF となり、この時初めて電源 EV からの給電が停止される。

スイッチ SW_2 を介して回路 2 から信号が素子 1 に印加され、 EC 表示素子 1 が駆動される。次に、ツマミ 6 を操作すると、スイッチ SW_1 の可動接片 a_1 が接点 b_1 を離れ接点 c_1 に接触すると電源 EV からの給電が断たれる。この時スイッチ SW_1 に連動してスイッチ SW_2 の接片 a_2 は接点 b_2 を離れて接点 c_2 に接触するので、回路 2 の出力信号を遮断すると共に EC 表示装置 1 の両電極間が短絡され消色される。

従つて、 EC 表示素子の駆動回路全体への給電を断つ操作に反応して、 EC 表示も強制的に消色にされる。

尚、上記各実施例では駆動回路停止時に EC 表示を強制的に消色にする場合についてのみ説明したが、これを消色にせず着色状態にすることもできるし、また駆動される EC 表示素子を複数個用意しそれらの強制的設定状態に適宜着色及び消色に選択することにより全体としてパターン“ OFF ”等の表示をすることもできる。

上記実施例では、 EC 表示素子 1 の表示の強制的規定、即ち消色の完了を EC 表示素子の端子電圧を検出することによつて検知した。しかし、表示素子の着色又は消色状態を光電的に検出することによつてその表示の強制的規定の完了を検知して、それによつて駆動回路全体への給電を停止することができることは言うまでもない。

第 5 図は、極めて単純な回路構成にした本発明による記憶性を有する電気光学素子の駆動回路の実施例を示すブロック図である。

この回路は、電源 EV 、 EC 表示素子 1、 EC 表示信号発生回路 2、連動するスイッチ SW_1 、 SW_2 及びスイッチ SW_1 、 SW_2 を駆動するツマミ 6 から成る。

スイッチ SW_1 の可動接片 a_1 が接点 b_1 に接触している時は、このスイッチ SW_1 を介して電源 EV より駆動回路全体に給電される。また、この時スイッチ SW_1 に連動するスイッチ SW_2 の可動接片 a_2 が接点 b_2 に接触するので、該ス

尚、本実施例の具体的回路例ではスイッチ SW_2 として手動スイッチを用いた例だけを示したが、他にこのスイッチ SW_2 として外部強御回路によつて電氣的に制御されるスイッチを用いることもできるということは原うまでもない。

上記のような変更は当業者には容易にできることであり、本発明の範囲を何ら逸脱するものではない。

以上のように、本発明による電気光学素子の駆動装置は、駆動装置全体への給電を停止する動作に反応してその動作が完了するまでに、電気光学素子を強制的にある表示状態にするので、見栄えがよく誤認することのない表示が得られ、しかも省電力化されるという効果がある。

4. 図面の簡単な説明

第 1 図は、本発明の第 1 の実施例を示すブロック図、

第 2 図は、第 1 図示の実施例の具体的回路

例を示す図、

第3図は、本発明の第2の実施例を示すブロック図、

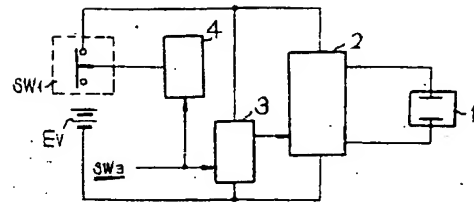
第4図は、第3図示の実施例の具体的回路例を示す図、

第5図は、本発明の第3の実施例を示すブロック図である。

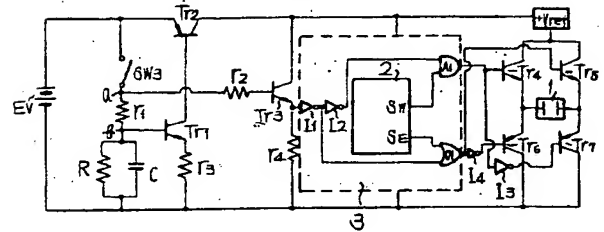
〔主要部分の符号の説明〕

- 1 … 記憶性を有する電気光学素子
- 2 … 表示信号発生回路
- SW₃ … 給電停止信号発生手段
- 3 … 表示強制規定手段
- SW₁、4、5、Tr₁、Tr₂ 給電停止手段
- 4、R、C … 計時手段
- 5、C1 … 検出手段

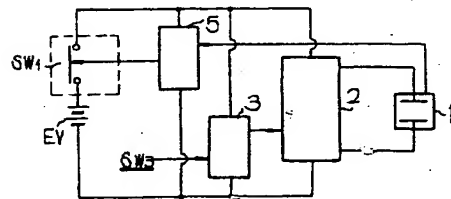
オ 1 図



オ 2 図



オ 3 図



オ 4 図

